

## วงจรรองความถี่อันดับสูงทำงานในโหมดกระแสที่ถูกสร้างจากวงจรรีโวลต์อินทิเกรเตอร์แบบขยาย ผลต่างเสมือน

A high order current mode filter using pseudo differential integrators

เสนอ สะอาด<sup>1</sup>

Saner Sa-ad<sup>1</sup>

### บทคัดย่อ

บทความนี้นำเสนอวงจรรองความถี่อันดับสูงที่ถูกสร้างจากวงจรรีโวลต์อินทิเกรเตอร์แบบขยายผลต่างเสมือน โดยใช้ซีมอสทรานซิสเตอร์ทำงานในโหมดกระแส วงจรรีโวลต์อินทิเกรเตอร์ถูกสร้างขึ้นจากวงจรรีโวลต์อินทิเกรเตอร์แบบง่ายร่วมตัวเก็บประจุ โครงสร้างของวงจรรขยายผลต่างเสมือนทำหน้าที่รักษาเสถียรภาพของสัญญาณเอาต์พุตและกำจัดสัญญาณในโหมดร่วม วงจรรีโวลต์อินทิเกรเตอร์ดังกล่าวถูกนำมาออกแบบเป็นวงจรรองความถี่ต่ำผ่านอันดับสูงแบบแอกทีฟ โดยใช้วิธีการเลียนแบบการทำงานวงจรรองความถี่ขั้นบันได วงจรที่นำเสนอสามารถทำงานได้ดีที่ความถี่สูงและสูญเสียกำลังงานต่ำ (0.9 มิลลิวัตต์ต่อโพล) ดังแสดงได้จากการจำลองการทำงานด้วยโปรแกรม H-SPICE ร่วมกับเทคโนโลยีซีมอสทรานซิสเตอร์ขนาด 0.5 ไมครอนเมตร

**คำสำคัญ :** วงจรรองความถี่อันดับสูงทำงานในโหมดกระแส วงจรรีโวลต์อินทิเกรเตอร์แบบขยายผลต่างเสมือน วงจรรองความถี่ขั้นบันได

### Abstract

A CMOS high order current mode filter using pseudo differential integrators is presented. A current mode integrator is designed based on a simple current mirror with the grounded capacitor. Pseudo differential structure is used to stabilize the common mode output and provide rejection common mode signal. The integrator is implemented to provide a basic building block for use in active filter circuits with simulation of RLC ladder filter design techniques. The proposed circuit has been a good performance at highest frequency and the power consumption is quite low (0.9 mW/pole). To shows the designed as an example and simulated by H-SPICE using the standard 0.5 um CMOS technology.

**Keyword:** A high order current mode filter, pseudo differential integrator, RLC ladder filter

**E-mail address:** s\_saner@hotmail.com, saner.s@rmutsv.ac.th

<sup>1</sup>หลักสูตรวิศวกรรมอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์ มหาวิทยาลัยเทคโนโลยีราชมงคลศรีวิชัย สงขลา 90000

<sup>1</sup>Department of Electronic Engineering, Faculty of Engineering, Rajamangala University of Technology Srivijaya, Songkhla 90000

### บทนำ

การออกแบบวงจรรีโวลต์อินทิเกรเตอร์ในปัจจุบัน มุ่งพัฒนางจรให้สามารถใช้งานได้ที่แหล่งจ่ายไฟเลี้ยงต่ำและสูญเสียกำลังงานต่ำ นอกจากนั้นยังพิจารณาในส่วนของขนาด ความมีเสถียรภาพ โดยจะนำไปสู่กระบวนการสร้างทรานซิสเตอร์ขนาดต่ำกว่าไมครอนเมตร ปัจจัยเหล่านี้ส่งผลทำให้การออกแบบวงจรรีโวลต์อินทิเกรเตอร์ที่ทำงานในโหมดแรงดันที่มีความเป็นเชิงเส้นสูงและช่วงการเปลี่ยนแปลงความถี่ที่กว้างมีความยากลำบากมากขึ้น ดังนั้น

การออกแบบวงจรให้ทำงานในโหมดกระแสจึงเป็นทางเลือกหนึ่งที่น่าสนใจ เนื่องจากมีความต้านทานอินพุตต่ำ ส่งผลให้สัญญาณที่รับเข้ามามีขนาดเล็ก การกระเพื่อมของแรงดันมีขนาดต่ำ ทำให้สามารถควบคุมการทำงานได้ที่แหล่งจ่ายไฟเลี้ยงต่ำ ยิ่งไปกว่านั้น กระบวนการทำงานของสัญญาณในโหมดกระแสจะมีความเร็วมากกว่ากระบวนการทำงานในโหมดแรงดัน การตอบสนองของความเร็วในย่านกว้างมีค่าใกล้เคียงกับค่าความถี่ส่งผ่านขนาดเล็ก ( $f_T$ ) (Toumazou, et al., 1990)

วงจรรองความถี่เป็นวงจรหนึ่งที่มีความสำคัญมากถูกนำมาประยุกต์ใช้งานหลากหลาย เช่น การประมวลผลสัญญาณเสียงและภาพ ระบบการวัด เครื่องมือวัด ระบบการอ่านแถบแม่เหล็กและระบบการสื่อสารโทรคมนาคม โดยเฉพาะอย่างยิ่งกับอุปกรณ์ไมโครอิเล็กทรอนิกส์ที่ใช้ในการสื่อสารไร้สาย ไม่ว่าจะเป็นโทรศัพท์มือถือ การสื่อสารระยะสั้น (Bluetooth) เครือข่ายไร้สายท้องถิ่น (WLAN) เป็นต้น (Nauta, 1992; Choi and Luong, 2001; Sendra and Smith, 2003; Wang and Zhao, 2008) วงจรรองความถี่แบบแอคทีฟนิยมสร้างขึ้นมาจากอุปกรณ์ออปแอมป์ โดยใช้วิธีการต่อแบบคาสเคด การเลียนแบบการทำงานวงจรแอล-ซีแบบชั้นบันได และวงจรที่มีการป้อนกลับแบบหลายขั้ว อย่างไรก็ตาม วงจรรองความถี่ดังกล่าวไม่เหมาะที่จะนำมาใช้งานที่ความถี่สูงเนื่องจากข้อจำกัดของออปแอมป์ วงจรรองความถี่ที่มีความถี่ตัดออฟในย่านความถี่สูงที่ถูกสร้างขึ้นจากวงจรอินทิเกรเตอร์ ด้วยวิธีการเลียนแบบการทำงานของวงจรรองความถี่ชั้นบันไดแบบพาสซีฟเป็นทางเลือกหนึ่งที่ถูกนำมาออกแบบใช้งานกันอย่างกว้างขวาง (Zele and Allstot, 1996; Galvez-Durand, 2001; Korotkov, et al., 2005; Shaker, 2006; Zhu, et al., 2007) โดย Fujii (1998) ได้นำเสนอวงจรรองความถี่โดยใช้ทรานซิสเตอร์ชนิดไบโพลาร์ ซึ่งไม่เหมาะที่จะนำไปใช้งานในวงจรที่เป็นแบบผสมระหว่างแอนาล็อกและดิจิตอล (mixed signal integrated circuit) นอกจากนี้ Lee, et al. (1993) และ Smith and Sinencio (1996) ยังได้นำเสนอวงจรรองความถี่ที่ถูกสร้างขึ้นจากวงจรอินทิเกรเตอร์แบบขยายผลต่าง วงจรอินทิเกรเตอร์ดังกล่าวถูกสร้างจากวงจรสะท้อนกระแสแบบง่าย แบบคาสโคดและแบบพับ จะเห็นได้ว่าวงจรที่สร้างขึ้นมีความแม่นยำและประสิทธิภาพสูง อย่างไรก็ตามวงจรที่ถูกนำเสนอดังกล่าวข้างต้น ไม่ได้ออกแบบวงจรให้สามารถกำจัดสัญญาณในโหมดร่วมได้

บทความนี้จึงได้นำเสนอวงจรรองความถี่ที่ถูกออกแบบจากวงจรอินทิเกรเตอร์แบบขยายผลต่างเสมือนซึ่งมีความสามารถในการกำจัดสัญญาณในโหมดร่วมได้ดี โดยโครงสร้างของวงจรขยายผลต่างเสมือนทำหน้าที่รักษาเสถียรภาพของสัญญาณเอาต์พุตและกำจัดสัญญาณในโหมดร่วม ส่งผลทำให้วงจรอินทิเกรเตอร์และวงจรรองความถี่ถูกสร้างขึ้นสามารถกำจัดสัญญาณในโหมดร่วมได้ดี ดังแสดงได้จากการจำลองการทำงานด้วยโปรแกรม H-SPICE

## วงจรอินทิเกรเตอร์ทำงานในโหมดกระแส

### วงจรอินทิเกรเตอร์แบบขยายผลต่าง

รูปที่ 1 แสดงวงจรอินทิเกรเตอร์แบบขยายผลต่าง ถูกสร้างจากวงจรสะท้อนกระแสอย่างง่ายต่อร่วมกับตัวเก็บประจุไฟฟ้าจำนวน 2 ชุด ประกอบด้วยทรานซิสเตอร์  $M_{N1}$ - $M_{N4}$  และตัวเก็บประจุไฟฟ้า  $C_1^+$  และ  $C_1^-$  ตามลำดับ มีการป้อนสัญญาณอินพุต 2 อินพุต ( $v_m^+$  และ  $v_m^-$ ) ที่กลับเฟสกัน 180 องศาที่โนด A และโนด B ตามลำดับ วงจรมีการป้อนกลับสัญญาณแบบบวกกลับเข้ายังไปอินพุตเพื่อชดเชยการสูญเสียที่เกิดขึ้นในวงจรได้วงจรอินทิเกรเตอร์เป็นแบบไม่สูญเสีย โดยมีทรานซิสเตอร์  $M_{N5}$  และ  $M_{N6}$  ทำหน้าที่สะท้อนกระแสเอาต์พุตของ

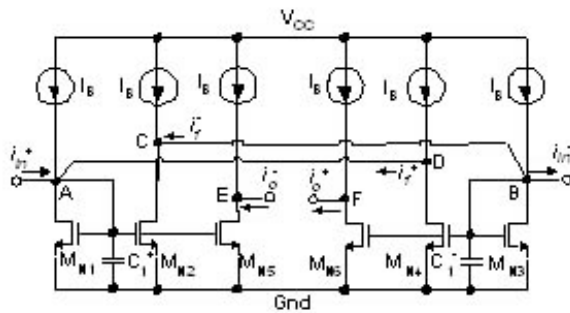
วงจร ได้ฟังก์ชันถ่ายโอนในโหมดขยายผลต่าง และฟังก์ชันถ่ายโอนในโหมดร่วม ดังแสดงในสมการที่ (1) และ (2) ตามลำดับ

$$\frac{i_o^+ - i_o^-}{i_{in}^+ - i_{in}^-} = \frac{g_m}{sC} \quad (1)$$

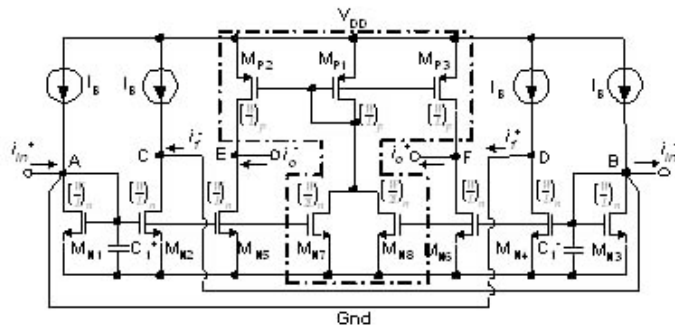
$$\frac{i_o^+ + i_o^-}{i_{in}^+ + i_{in}^-} = \frac{g_m}{sC + 2g_m} \quad (2)$$

โดยที่  $g_m$  คือ ค่าทรานคอนดักแตนซ์ของทรานซิสเตอร์  $M_{N1}$  มีค่าเท่ากับ  $(2\mu C_{ox} (\frac{W}{L})_{M_{N1}} I_B)^{1/2}$  และ  $C$  คือ ตัวเก็บประจุไฟฟ้ามีขนาดเท่ากับ  $C_+$  และ  $C_-$  ตามลำดับ

จากฟังก์ชันถ่ายโอนในสมการที่ (1) และ (2) จะเห็นได้ว่าเมื่อพิจารณาวงจรทำงานในโหมดร่วมจะได้ฟังก์ชันถ่ายโอนแบบสูญเสีย มีค่าอัตราขยายที่ความถี่ต่ำประมาณเท่ากับ 0.5 เท่า จะเห็นได้ว่า เราสามารถลดอัตราขยายของวงจรในโหมดร่วมได้ โดยการกำหนดให้ทรานซิสเตอร์  $M_{N1}$ - $M_{N4}$  มีขนาดใหญ่กว่าทรานซิสเตอร์  $M_{N5}$ - $M_{N6}$  อย่างไรก็ตามในการออกแบบใช้งาน เราไม่ต้องการให้มีสัญญาณในโหมดร่วมออกไปยังเอาต์พุต ดังนั้นบทความนี้จึงได้นำเสนอวงจรอินทิเกรเตอร์แบบขยายผลต่างเสมือน โดยวงจรที่นำเสนอได้เพิ่มวงจรที่มีความสามารถในการกำจัดสัญญาณในโหมดร่วมดังแสดงในรูปที่ 2



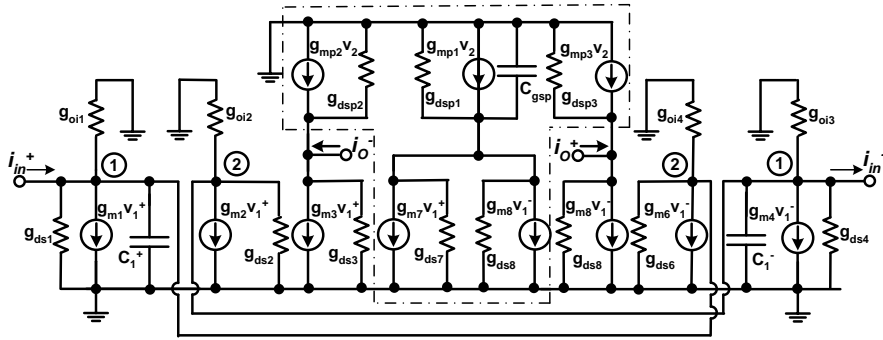
รูปที่ 1 วงจรอินทิเกรเตอร์แบบขยายผลต่างที่ถูกนำเสนอใน ที่มา: Lee, et al. (1993)



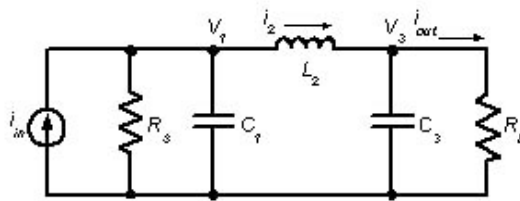
รูปที่ 2 วงจรอินทิเกรเตอร์แบบขยายผลต่างเสมือนที่นำเสนอ

รูปที่ 2 แสดงวงจรอินทิเกรเตอร์แบบขยายผลเสมือนที่นำเสนอ โดยการนำวงจรที่ได้นำเสนอในรูปที่ 1 มาปรับปรุงโดยการเพิ่มทรานซิสเตอร์  $M_{N7}$  -  $M_{N8}$  และ  $M_{P1}$  -  $M_{P3}$  เข้าไปในวงจรเพื่อทำหน้าที่กำจัดสัญญาณในโหมดร่วม เมื่อพิจารณาการทำงานในโหมดขยายผลต่าง จะเห็นว่าสัญญาณกระแสที่ไหลทรานซิสเตอร์  $M_{N7}$  และ  $M_{N8}$  จะมีทิศทางกระแสที่สวนทางกัน ทำให้เกิดการหักล้างเหลือเฉพาะในส่วนของกระแสไปอัสวงจรที่ไหลผ่านทรานซิสเตอร์  $M_{P1}$  และถูกสะท้อนไปยังทรานซิสเตอร์  $M_{P2}$  และ  $M_{P3}$  ทำหน้าที่จ่ายกระแสไบอัส  $I_B$  ให้กับ

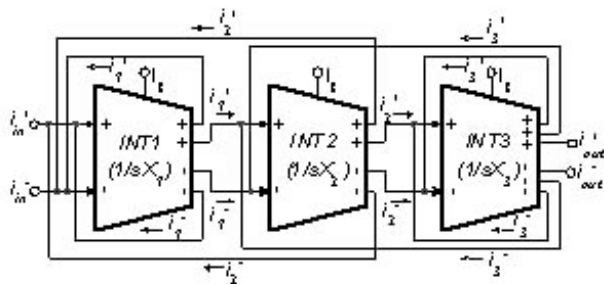
ทรานซิสเตอร์ทรานซิสเตอร์  $M_{N5}$  และ  $M_{N6}$  จะสังเกตได้ว่าการทำงานของวงจรในรูปที่ 2 จะเหมือนกับวงจรในรูปที่ 1 แต่เมื่อพิจารณาการทำงานในโหมดร่วม สัญญาณกระแสที่ไหลทรานซิสเตอร์  $M_{N7}$  และ  $M_{N8}$  จะมีทิศทางไหลที่เสริมกัน ส่งผลให้ทำให้กระแสที่ไหลผ่านทรานซิสเตอร์  $M_{P1}$  จะประกอบด้วยส่วนที่เป็นสัญญาณกระแสและกระแสไบอัสวงจร และถูกสะท้อนไปยังทรานซิสเตอร์  $M_{P2}$  และ  $M_{P3}$  ซึ่งส่งผลทำให้สัญญาณกระแสที่ไหลผ่านทรานซิสเตอร์  $M_{P2}$  และ  $M_{P3}$  กับกระแสที่ไหลผ่านทรานซิสเตอร์  $M_{N7}$  และ  $M_{N8}$  เท่ากันทำให้ไม่มีสัญญาณกระแสที่เอาต์พุตของวงจรอินทิเกรเตอร์แบบขยายผลเสมือนที่นำเสนอก



รูปที่ 3 วงจรจำลองสัญญาณขนาดเล็กของวงจรอินทิเกรเตอร์



รูปที่ 4 วงจรรองความถี่ต่ำผ่านแบบพาสซีฟ อันดับที่ 3



รูปที่ 5 วงจรรองความถี่ต่ำผ่านอันดับที่ 3 แบบแอคทีฟที่ถูกรอกแบบจากวงจรอินทิเกรเตอร์แบบขยายผลต่างเสมือนที่นำเสนอก

### วงจรอินทิเกรเตอร์แบบไม่เป็นอุดมคติ

รูปที่ 3 แสดงวงจรจำลองสัญญาณขนาดเล็กของวงจรอินทิเกรเตอร์ที่รวมผลของความไม่เป็นอุดมคติที่เกิดขึ้นจากค่าความนำไฟฟ้าด้านเอาต์พุต ( $g_{os}$ ) และตัวเก็บประจุแฝง ( $C_{gs}$ ) โดยสมมติให้ทรานซิสเตอร์มีคุณสมบัติที่เข้าคู่กันได้ดี จากวงจรทำการวิเคราะห์โดยใช้กฎกระแสของเคอร์ชอฟฟ์ (Kirchoff's Current Law) พิจารณาที่โหนดต่างๆ ได้ฟังก์ชันถ่ายโอนในโหมดขยายผลต่างและโหมดร่วมดังแสดงในสมการที่ (5) และ (6)

ตามลำดับ (สมมติให้ค่าความนำไฟฟ้าด้านเอาต์พุตของทรานซิสเตอร์ที่ทำหน้าที่เป็นแหล่งจ่ายกระแสมีค่าน้อยมาก) จะสังเกตได้ว่าตัวเก็บประจุแฝงของทรานซิสเตอร์ ( $C_{gs}$ ) จะถูกรวมเข้ากับตัวเก็บประจุ  $C_1$  ที่ป้อนให้กับวงจร ส่งผลทำให้สามารถทำงานได้ที่ความถี่สูง

$$\frac{i_o^+ - i_o^-}{i_{in}^+ - i_{in}^-} = \frac{g_m}{sC + g_{ds(n)} + 2g_{ds(p)}} \quad (3)$$

$$\frac{i_o^+ + i_o^-}{i_{in}^+ + i_{in}^-} = 0 \quad (4)$$

เมื่อพิจารณาการทำงานในโหมดขยายผลต่าง พบว่าหากกำหนดให้ค่า  $g_m \gg g_{ds}$  จะได้ฟังก์ชันถ่ายโอนของวงจรอินทิเกรเตอร์เช่นเดียวกับสมการที่ (1) โดยที่อัตราขยายของวงจรอินทิเกรเตอร์จะขึ้นอยู่กับค่าความนำไฟฟ้าด้านเอาต์พุตของทรานซิสเตอร์ ดังนั้นในการออกแบบจำเป็นจะต้องคำนึงถึงค่าความนำไฟฟ้าด้านเอาต์พุตของวงจรซึ่งขึ้นอยู่กับกระแสไบอัสที่ไหลผ่านทรานซิสเตอร์และค่าคงที่ผลของความยาวช่องทางเดินกระแสของทรานซิสเตอร์ เมื่อพิจารณาในการทำงานในโหมดร่วมสัญญาณเอาต์พุตจะถูกกำจัดออกไปทำให้จะได้ฟังก์ชันถ่ายโอนของวงจรอินทิเกรเตอร์มีค่าเท่ากับศูนย์

ตัวประกอบคุณภาพของวงจรอินทิเกรเตอร์ เป็นปัจจัยหนึ่งที่สามารถบ่งบอกประสิทธิภาพของวงจรอินทิเกรเตอร์ได้ จากฟังก์ชันถ่ายโอนในสมการ (3) และนิยามตัวประกอบคุณภาพ (Lee, et al., 1993) สามารถหาตัวประกอบคุณภาพได้ คือ

$$Q = \frac{\omega C}{g_{ds(n)} + 2g_{ds(p)}} \quad (5)$$

และเมื่อพิจารณาที่ความถี่ที่ทำให้อัตราขยายมีค่าเท่ากับหนึ่ง จะได้ว่า

$$Q(\omega_T) = \frac{1}{(\lambda_n + 2\lambda_p)} \left( \frac{\mu C_{ox} \left( \frac{W}{L} \right)}{I_B} \right)^{1/2} \quad (6)$$

เมื่อ  $\lambda$  คือ ค่าคงที่ผลของความยาวช่องทางเดินกระแสของทรานซิสเตอร์ (Channel length modulation coefficient)

จากสมการที่ (6) พบว่าตัวประกอบคุณภาพจะเปลี่ยนแปลงตามขนาดของทรานซิสเตอร์ ในขณะที่เดียวกันจะแปรผกผันกับขนาดความยาวของช่องทางเดินกระแสและกระแสที่ไหลผ่านทรานซิสเตอร์ ในการออกแบบวงจรอินทิเกรเตอร์หากตัวประกอบคุณภาพมีค่ามากกว่า 20 ก็เพียงพอที่จะนำไปใช้งานได้ที่ความถี่สูง (Lee, et al., 1993)

แหล่งจ่ายแรงดันไฟฟ้าต่ำสุดที่วงจรต้องการ ถูกแสดงในสมการที่ (7) จะเห็นได้ว่าค่าที่ได้จะขึ้นอยู่กับ ค่าแรงดันไฟฟ้าขีดเริ่มของทรานซิสเตอร์ชนิดเอ็น ค่าแรงดันเดรน-ซอสของทรานซิสเตอร์ชนิดพีและค่าที่ใช้ในการปรับจูนและการกระเพื่อมของสัญญาณในวงจร

$$V_{DD(\min)} \geq V_{T(n)} + V_{DSAT(p)} + V_{Swing} \quad (7)$$

### การออกแบบวงจรรองความถี่

วงจรอินทิเกรเตอร์ที่ได้นำเสนอ ถูกนำมาออกแบบเป็นวงจรรองความถี่ต่ำผ่านอันดับที่ 3 แบบแคคทีฟ โดยใช้วิธีการจำลองดำเนินการเลียนแบบการทำงานวงจรรองความถี่ขึ้นบันได (Simulation of RLC Ladder Filter) โดยใช้โครงสร้างของวงจรรองความถี่แบบพาสซีฟที่มีตัวต้านทานสิ้นสุดคู่เป็นโครงสร้างพื้นฐานในการ

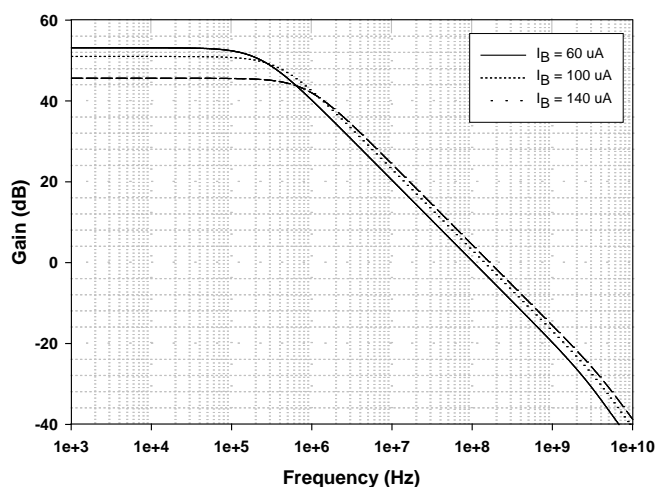
สังเคราะห์ดังแสดงในรูปที่ 4 เนื่องจากมีค่าความไวของวงจรถ้าและสามารถส่งผ่านกำลังงานได้สูงสุด (Deliyannis, *et al.*, 1999) จากวงจรรองความถี่แบบพาสซีฟ ทำการวิเคราะห์หาความสัมพันธ์ระหว่างกระแสและแรงดัน โดยจัดให้อยู่ในรูปสมการกระแส ซึ่งสามารถนำมาออกแบบเป็นวงจรรองความถี่แบบแอคทีฟได้ ดังแสดงในรูปที่ 5 โดยการแทนฟังก์ชันถ่ายโอนของวงจรรีโวลูเตอร์ ( $C/g_m$ ) ที่ได้ในสมการที่ (1) ลงในสมการกระแสของวงจรรองความถี่ที่ได้จากการวิเคราะห์วงจรรองความถี่แบบพาสซีฟ วงจรรีโวลูเตอร์แต่ละชุดทำหน้าที่เสมือนอุปกรณ์แต่ละตัวในวงจรรองความถี่พาสซีฟที่เป็นวงจรถ้าแบบ เมื่อค่าความจุไฟฟ้าของวงจรรีโวลูเตอร์ INTi คือ

$$C_i = X_i g_m \quad (8)$$

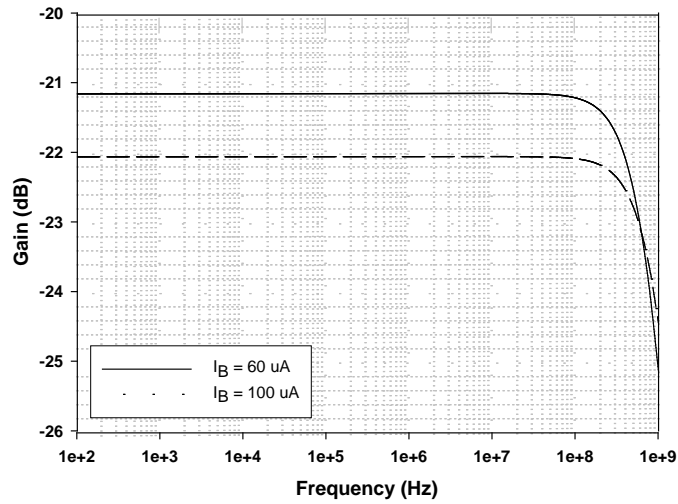
เมื่อ  $X_i$  คือ ค่าอุปกรณ์ของวงจรรองความถี่แบบพาสซีฟ สาขา  $i$

### ผลการจำลองการทำงาน

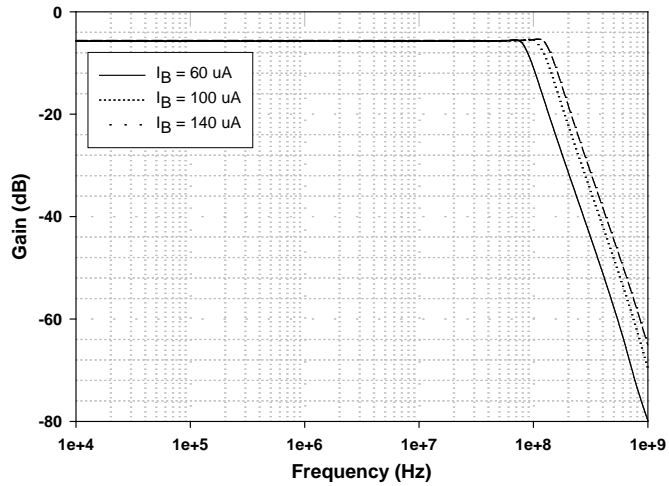
วงจรรีโวลูเตอร์และวงจรรองความถี่ที่นำเสนอ ถูกนำมาจำลองการทำงานเพื่อทดสอบประสิทธิภาพภายใต้แหล่งจ่ายแรงดันขนาด 1.5 โวลต์ โดยใช้โปรแกรม H-spice ร่วมกับเทคโนโลยีมอสทรานซิสเตอร์ขนาด 0.5 ไมครอน รูปที่ 6 แสดงการตอบสนองของความถี่ของวงจรรีโวลูเตอร์ที่นำเสนอในโหมดขยายผลต่าง ค่าอัตราขยายของวงจรมีค่าเท่ากับ 53 เดซิเบล ที่กระแสไบอัส 60 ไมโครแอมป์ สามารถปรับจูนความถี่ได้ตั้งแต่ 100-180 เมกะเฮิร์ตซ์ โดยการปรับกระแสไบอัสระหว่าง 60-140 ไมโครแอมป์ รูปที่ 7 แสดงการตอบสนองความถี่ของวงจรรีโวลูเตอร์ที่นำเสนอในโหมดร่วม จะเห็นได้ว่าค่าอัตราขยายของวงจรมีค่าต่ำมาก ประมาณเท่ากับ -21 เดซิเบลที่กระแสไบอัส 60 ไมโครแอมป์ รูปที่ 8 แสดงการตอบสนองความถี่ของวงจรรองความถี่ต่ำผ่านอันดับที่ 3 แบบบัตเตอร์เวิร์ทที่ความถี่คัตออฟ 100 เมกะเฮิร์ตซ์ วงจรสามารถปรับค่าความถี่คัตออฟได้ตั้งแต่ 98-170 เมกะเฮิร์ตซ์ ด้วยการปรับค่ากระแสไบอัสวงจรรวมๆกัน ตั้งแต่ 60-140 ไมโครแอมป์ รูปที่ 9 แสดงค่าความผิดเพี้ยนฮาร์โมนิกสรวมของวงจรรองความถี่ (ความถี่คัตออฟ 100 เมกะเฮิร์ตซ์) ที่ค่าความถี่และขนาดของสัญญาณกระแสอินพุตค่าต่างๆ ค่าความผิดเพี้ยนฮาร์โมนิกสรวมที่ได้มีค่าน้อยกว่า 0.8 เปอร์เซ็นต์ เมื่อป้อนอัตราส่วนของสัญญาณกระแสอินพุตต่อกระแสไบอัสมีค่าเท่ากับ 0.6



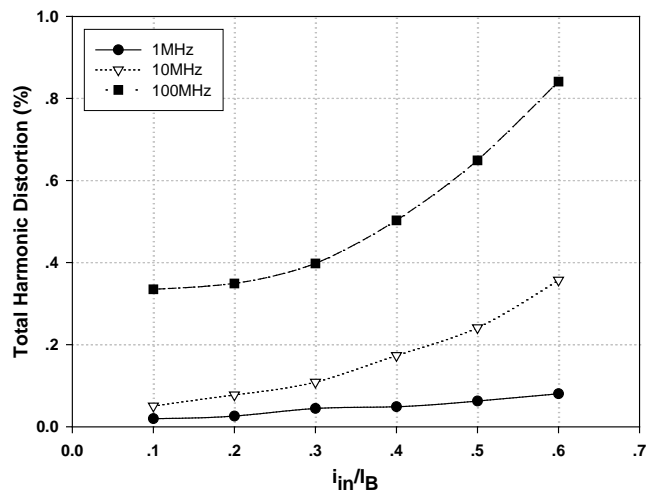
รูปที่ 6 การตอบสนองของความถี่ของวงจรรีโวลูเตอร์ในโหมดขยายผลต่าง เมื่อปรับค่ากระแสไบอัสค่าต่างๆ



รูปที่ 7 การตอบสนองของควมถี่ของวงจรถออินทิเกรเตอร์ในโหมดร่วม



รูปที่ 8 การตอบสนองของควมถี่ของวงจรรองควมถี่ต่ำผ่านแบบบัตเตอร์เวิร์ทท์ เมื่อปรับค่ากระแสไบอัสค่าต่างๆ



รูปที่ 9 ค่าควมผิดเพี้ยนฮาร์โมนิกสรวมของวงจรรองควมถี่ต่ำผ่านแบบบัตเตอร์เวิร์ทท์

## สรุป

วงจรกรองความถี่ต่ำผ่านอันดับ 3 แบบแอกทีฟทำงานในโหมดกระแส ถูกสร้างมาจากวงจรรีจิสเตอร์แบบขยายผลต่างเสมือนที่นำเสนอดังกล่าวด้วยวิธีการเลียนแบบการทำงานวงจรกรองความถี่ขั้นบันไดแบบพาสซีฟ วงจรสามารถทำงานได้ที่ความถี่สูงภายใต้แหล่งจ่ายไฟเลี้ยงต่ำ วงจรที่นำเสนอสามารถทำงานได้ดีในโหมดขยายผลต่างและสามารถกำจัดสัญญาณในโหมดร่วม นอกจากนี้ยังสามารถปรับจูนความถี่คัตออฟได้ง่าย สิ้นเปลืองกำลังงานต่ำ จึงเหมาะสำหรับนำไปใช้งานกับอุปกรณ์แบบพกพาที่ต้องการพลังงานจากแบตเตอรี่

## เอกสารอ้างอิง

- Choi, Y.W. and Luong, H.C. 2001. **A high-Q and wide-dynamic-range 70 MHz CMOS bandpass filter for wireless receivers.** IEEE Transactions on Circuit and Systems II: Analog and Digital Signal Processing, vol. 48: 433-440.
- Chul AHN, J. and Fujii, N. 1996. **Current-Mode Filters Continuous-Time Filters Using Complementary Current Mirror Pairs.** IEICE Trans. Fundamentals, vol. E78-A, no.2: 168-175.
- Deliyannis, T. Yichuang, S. and Fidler, J.K. 1999. **Continuous-Time Active Filter.** U.K. CRC Press LLC, London.
- Fujii, N. 1998. **High frequency low voltage current mode analog integrable filters.** Bipolar/BiCMOS Circuits and Technology Meeting, Proceedings of the 1998: 47 – 52.
- Galvez-Durand, F. 2001. **A current-mode 5<sup>th</sup> order elliptic lowpass filters.** Proceeding of the 44<sup>th</sup> IEEE 2001 Midwest Symposium on Circuit and Systems, vol. 2: 820-823.
- Korotkov, A.S. Morozov, D.V. Tutyshkin, A.A. Hauer, H. 2005. **Channel filters for microelectronic receivers of wireless systems.** Emerging Technologies: Circuits and Systems for 4G Mobile Wireless Communications: 24-31.
- Lee, S.S. Zele H.R. and Allstot, D.J. 1993. **CMOS continuous-time Current-Mode Filter for High-frequency Applications.** IEEE J.Solid-State Circuits, vol.28, no.3: 323-329.
- Nauta, B. 1992. **A CMOS transconductance-C filter technique for very high frequencies.** IEEE J.Solid-State Circuits, vol. 27, no.2: 142-153.
- Sendra, A.S. and Smith, K.C. 2003. **Microelectronic circuits, 5<sup>th</sup> edition.** USA : Florida.
- Shaker, M.O. Mahmoud, S.A. Soliman, A.M. 2006. **A CMOS fifth-order low-pass current-mode filter using a linear transconductor.** IEEE International Symposium on Circuits and Systems: 1043-1046.
- Smith, S.L. and Sinencio, E.S. 1996. **Low voltage integrators for high-frequency CMOS filters using current mode techniques.** IEEE Transactions on Circuits and Systems II, vol. 43 : 39-48.
- Toumazou, C. Lidgley, F.J. and Haigh, D.G. 1990. **Analog IC design: the current-mode approach.** U.K.: Peter Peregrinus, London.
- Wang, C. and Zhao, R. 2008. **Continuous time current mode current mirror band pass filters with improved leap frog structure.** CISP '08: 146 – 148.
- Zele, R.H. and Allstot, D.J. 1996. **Low power CMOS continuous time filters.** IEEE Journal of Solid-State Circuits, vol. 31: 157-168.
- Zhu, X. Sun Y. and Moritz, J. 2007. **A 0.18 um CMOS 300MHz Current-Mode LF Seventh-order Linear Phase Filter for Hard Disk Read Channels.** IEEE International Symposium on Circuits and Systems: 3307-3310.